

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-269105  
(43)Date of publication of application : 29.09.2000

(51)Int.Cl. H01L 21/00  
H01L 21/76  
H01L 29/78  
H01L 21/336

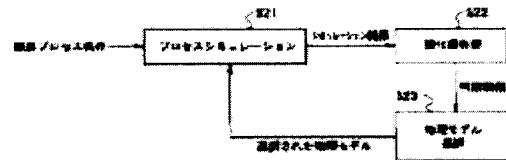
(21)Application number : 11-067518 (71)Applicant : TOSHIBA CORP  
(22)Date of filing : 12.03.1999 (72)Inventor : TANIMOTO KOKICHI  
TODA TOSHIYUKI

## (54) PROCESS SIMULATOR, PROCESS SIMULATION, DEVICE SIMULATOR, AND DEVICE SIMULATION

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To increase the simulation accuracy by outputting the shape of a semiconductor device and the impurity distribution inside the semiconductor device found by a simulation means to change a physical model representing physical phenomena in an interface according to the nature of the interface.

**SOLUTION:** In a process simulation (S21), the processing shape and the impurity distribution of a semiconductor device are found by simulating a series of manufacturing processes including an ion implantation process, an etching process, a deposition process, an oxidation process, and a diffusion process, based on the manufacturing process requirements. When judging an oxide film (S22), the simulation results are received from the process simulation (S21) and then a manufacturing process of each oxide film is judged any time. Based on the judgement result, a physical model of an oxide film-silicon interface is selected (S23). The selected physical model is used for the diffusion simulation in the process simulation (S21).



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-269105

(P2000-269105A)

(43)公開日 平成12年9月29日 (2000.9.29)

(51)Int.Cl.<sup>7</sup>

H 01 L 21/00  
21/76  
29/78  
21/336

識別記号

F I

H 01 L 21/00  
21/76  
29/78

テマコード<sup>\*</sup>(参考)

5 F 0 3 2  
L 5 F 0 4 0  
3 0 1 Z

審査請求 未請求 請求項の数4 O L (全 10 頁)

(21)出願番号

特願平11-67518

(22)出願日

平成11年3月12日 (1999.3.12)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 谷本 弘吉

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 遠田 利之

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74)代理人 100083806

弁理士 三好 秀和 (外7名)

F ターム(参考) 5F032 AA01 AA35 AA44 AA45 CA17

DA33 DA53 DA78

5F040 DA00 DC01 EB12

(54)【発明の名称】 プロセスシミュレータ、プロセスシミュレーション方法、デバイスシミュレータおよびデバイスシミュレーション方法

(57)【要約】

【課題】 半導体装置内部の界面を構成する材料とその製造条件に応じてその界面での物理現象を表す物理モデルを変更することでシミュレーション精度を向上するプロセス・デバイスシミュレーション技術を提供する。

【解決手段】 半導体装置の形状および半導体装置内部の不純物分布、半導体装置の電気的特性をシミュレーションするプロセス・デバイスシミュレーション技術である。半導体装置内部の界面の物理現象を表す物理モデルをその界面を構成する材料とその製造条件に応じて選択し、その物理モデルを用いて各シミュレーションすることで、シミュレーション精度を向上する。

【特許請求の範囲】

【請求項1】 半導体装置の製造プロセス条件を入力する装置と、

前記入力された製造プロセス条件と各種の物理モデルを用いて前記半導体装置の形状および前記半導体装置内部の不純物分布を求めるべくイオン注入工程、エッチング工程、堆積工程、酸化工程、拡散工程を含む一連の半導体製造工程をシミュレーションする手段と、

前記各工程のシミュレーション結果を入力し、前記半導体装置内部の界面を構成する材料とその材料の製造条件を判断する手段と、

前記判断結果を入力し、前記界面での物理現象を表す最適な物理モデルを選択し、前記シミュレーション手段に出力する手段と、

前記求めた半導体装置の形状および前記半導体装置内部の不純物分布を出力する装置とを少なくとも有することを特徴とするプロセスシミュレータ。

【請求項2】 半導体装置の製造プロセス条件を入力するステップと、

前記入力された製造プロセス条件と各種の物理モデルを用いて前記半導体装置の形状および前記半導体装置内部の不純物分布を求めるべくイオン注入工程、エッチング工程、堆積工程、酸化工程、拡散工程を含む一連の半導体製造工程をシミュレーションするステップと、

前記各工程のシミュレーション結果を入力し、前記半導体装置内部の界面を構成する材料とその材料の製造条件を判断するステップと、

前記判断結果を入力し、前記界面での物理現象を表す最適な物理モデルを選択し、前記シミュレーションステップに出力するステップと、

前記求めた半導体装置の形状および前記半導体装置内部の不純物分布を出力するステップとを少なくとも有することを特徴とするプロセスシミュレーション方法。

【請求項3】 半導体装置の形状および半導体装置の電圧条件を入力する装置と、

前記入力された半導体装置の形状から前記半導体装置内部の界面を構成する材料とその材料の製造条件を判断する手段と、

前記判断結果を入力し、前記界面での物理現象を表す最適な物理モデルを選択する手段と、

前記入力された半導体装置の形状および半導体装置の電圧条件と各種の物理モデルを用いて前記半導体装置の電気的特性を評価する手段と、

前記評価した半導体装置の電気的特性を出力する装置とを少なくとも有することを特徴とするデバイスシミュレータ。

【請求項4】 半導体装置の形状および半導体装置の電圧条件を入力するステップと、

前記入力された半導体装置の形状から前記半導体装置内部の界面を構成する材料とその材料の製造条件を判断す

るステップと、

前記判断結果を入力し、前記界面での物理現象を表す最適な物理モデルを選択するステップと、

前記入力された半導体装置の形状および半導体装置の電圧条件と各種の物理モデルを用いて前記半導体装置の電気的特性を評価するステップと、

前記評価した半導体装置の電気的特性を出力するステップとを少なくとも有することを特徴とするデバイスシミュレーション方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造工程をシミュレーションするプロセスシミュレータおよびプロセスシミュレーション方法に関する。また、本発明は、半導体装置の電気的特性をシミュレーションするデバイスシミュレータおよびデバイスシミュレーション方法に関する。

【0002】

【従来の技術】シリコンMOSFET等の半導体装置のシミュレーションはプロセスシミュレーションとデバイスシミュレーションに大別される。プロセスシミュレーションは半導体装置の製造工程を計算機上で模擬的に行ない、実際の半導体装置を試作することなく、半導体装置の加工形状や不純物分布を予測する技術である。一方、デバイスシミュレーションは半導体装置の形状、半導体中の不純物濃度、端子に印加する電圧等の入力データを受け取り、半導体装置の電気的特性を求める技術である。

【0003】プロセス・デバイスシミュレーションは拡散方程式、ポアソン(Poisson)方程式、電子・正孔電流連続方程式等の物理方程式を数値的に解くことにより、半導体装置の不純物分布等や半導体装置の電気的特性を評価する。物理方程式は非線形連立微分方程式であり、この非線形連立微分方程式の解はニュートン(Newton)法を用いた反復計算によって求められる。

【0004】物理方程式の数値解を求める場合、物理方程式中に現れる物理モデルが必要である。物理モデルは各種の物理現象を表現した数式であり、たとえば半導体装置の不純物分布の計算に用いられる拡散方程式では拡散係数の物理モデルが必要となる。拡散係数の物理モデルは不純物の種類、温度および不純物濃度の関数として数式で与えられる。

【0005】物理モデルの中には界面の物理現象に表すモデルがある。たとえばその物理モデルとして酸化膜／シリコン界面での不純物の偏析を表す物理モデルがある。不純物の偏析はシリコン基板表面の不純物濃度に影響を与え、MOSFETのしきい値電圧の変動を招く。したがって、MOSFETのしきい値電圧の計算精度は不純物偏析を表す物理モデルの精度に依存する。また、他の例として酸化膜／シリコン界面での点欠陥(格子間

S i 原子 : Interstitial Si、空孔 : Vacancy ) の再結合がある。点欠陥の再結合速度はショートチャネルMOSFETのシミュレーション結果に大きな影響を及ぼす。さらに、伝導電荷の移動度は酸化膜／シリコン界面の状態に大きく依存する。伝導電荷の移動度は半導体装置の電気的特性を大きく左右するものである。

【0006】

【発明が解決しようとする課題】従来、酸化膜／シリコン界面の物理現象を表す物理モデルは単一モデルで記述されてきた。しかしながら、半導体装置の微細化、半導体製造工程の複雑化に伴い、従来では考慮されていない界面の性質を新たにモデル化して組み込んでいかないとシミュレーションの精度向上を望むことは不可能となってきた。

【0007】たとえばシリコンとの界面をなすゲート酸化膜は特定の酸化工程によって形成される。したがって、従来ではゲート酸化膜とシリコンとの界面の物理モデルは単一モデルが用いられていた。MOSFETの電気特性はこのゲート酸化膜／シリコン界面の物理現象に直接影響を受けるが、従来ではこのゲート酸化膜／シリコン界面の物理モデルが高精度なモデルが一つあれば十分であった。ところが、MOSFETのゲート幅やゲート長が短くなると素子分離領域の厚い酸化膜とシリコンの界面の物理現象がMOSFETのチャネルに影響を及ぼし、寸法の大きいMOSFETと異なった電気特性を呈するようになる。そのため、素子分離酸化膜／シリコン界面の物理現象も考慮しなければ寸法の小さいMOSFETについては正確なシミュレーション結果を得ることができない。この場合、素子分離酸化膜はゲート酸化膜と異なる酸化工程で形成されるため、シリコンと界面の状態は素子分離酸化膜とゲート酸化膜では全く別のものである。すなわち、素子分離酸化膜／シリコン界面とゲート酸化膜／シリコン界面の性質は異なり、それぞれの界面での物理現象を表す物理モデルも当然異なるものとなる。したがって、寸法の小さいMOSFETについて高精度なシミュレーションを行なうには界面の性質に応じて最適な物理モデルの設定が必要となる。

【0008】本発明は、上記課題を解決し、界面の性質に応じてその界面での物理現象を表す物理モデルを変更することでシミュレーション精度を向上できるプロセスシミュレータおよびプロセスシミュレーション方法を提供することを目的とする。

【0009】また、本発明は、界面の性質に応じてその界面での物理現象を表す物理モデルを変更することでシミュレーション精度を向上できるデバイスシミュレータおよびデバイスシミュレーション方法を提供することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の特徴は、半導体装置の製造プロセス

条件を入力する装置と、入力された製造プロセス条件と各種の物理モデルを用いて半導体装置の形状および半導体装置内部の不純物分布を求めるべくイオン注入工程、エッチング工程、堆積工程、酸化工程、拡散工程を含む一連の半導体製造工程をシミュレーションする手段と、各工程のシミュレーション結果を入力し、半導体装置内部の界面を構成する材料とその材料の製造条件を判断する手段と、その判断結果を入力し、界面での物理現象を表す最適な物理モデルを選択し、シミュレーション手段に出力する手段と、シミュレーション手段が求めた半導体装置の形状および半導体装置内部の不純物分布を出力する装置とを少なくとも有するプロセスシミュレータであることである。ここで、「界面を構成する材料の製造条件」にはたとえば製造工程や製造装置、プロセス条件が含まれる。

【0011】本発明の第1の特徴によれば、半導体装置内部の界面を構成する材料とその材料の製造条件を判断し、その界面の物理現象を正確に表す物理モデルを選択して、その界面についてのプロセスシミュレーションを実施できる。つまり、界面の物理モデルの高精度化を図ることで高精度のプロセスシミュレーションを実現できる。

【0012】本発明の第2の特徴は、半導体装置の形状および半導体装置の電圧条件を入力する装置と、入力された半導体装置の形状から半導体装置内部の界面を構成する材料とその材料の製造条件を判断する手段と、その判断結果を入力し、界面での物理現象を表す最適な物理モデルを選択する手段と、入力された半導体装置の形状および半導体装置の電圧条件と各種の物理モデルを用いて半導体装置の電気的特性をシミュレーションする手段と、その半導体装置の電気的特性シミュレーション結果を出力する装置とを少なくとも有するデバイスシミュレータであることである。

【0013】本発明の第2の特徴によれば、半導体装置内部の界面を構成する材料とその材料の製造条件を判断し、その界面の物理現象を正確に表す物理モデルを選択して、その界面についてのデバイスシミュレーションを実施できる。つまり、界面の物理モデルの高精度化を図ることで高精度のデバイスシミュレーションを実現できる。

【0014】

【発明の実施の形態】以下、本発明に係るプロセスシミュレータ、プロセスシミュレーション方法、デバイスシミュレータおよびデバイスシミュレーション方法の実施の形態について図面を用いて説明する。本発明は、各種の処理を行なうための中央処理装置(Central Processing Unit)と、キーボード、マウス、ライトペン、フレキシブルディスク装置等の入力装置と、メモリ装置、ディスク装置等の外部記憶装置と、ディスプレイ装置、プリンタ装置等の出力装置等とを備えた通常のコンピュータ

タシステムを用いる。中央処理装置は以下の第1および第2の実施の形態において説明するプロセスシミュレーションおよびデバイスシミュレーションを実施する演算部と、演算部が実行する命令を記憶する主記憶部とを備える。プロセスシミュレーションおよびデバイスシミュレーションの際には以下のそれぞれの実施の形態で説明する各種の変数を外部記憶装置等に保存し、中央処理装置が保存した変数を適宜読み出してデータ処理を行なう。

【0015】なお、以下の実施の形態で説明するプロセスシミュレーションおよびデバイスシミュレーションを実行するためのプログラムは記録媒体に保存することができる。この記録媒体をコンピュータシステムによって読みませ、このプログラムを実行してコンピュータを制御しながら所望のシミュレーションを実現することができる。ここで、記録媒体とは、半導体メモリ装置、磁気ディスク装置、光ディスク装置、光磁気ディスク装置、磁気テープ装置等、本発明のプログラムを記録することができるような装置が含まれる。

【0016】(第1の実施の形態)図1は、本発明の第1の実施の形態に係るプロセスシミュレータを示すブロック図である。プロセスシミュレータ1は、制御機能部3と、シミュレーション条件入力機能部5と、イオン注入計算機能部7と、エッチング計算機能部9と、堆積計算機能部11と、酸化計算機能部13と、拡散計算機能部15と、計算結果出力機能部17とを備えて構成される。制御機能部3はシミュレーション条件入力機能部5やイオン注入計算機能部7等の各機能部を制御しプロセスシミュレータ1全体の制御を行なうものである。シミュレーション条件入力機能部5は決められたフォーマットに従って記述された半導体装置の製造プロセス条件を入力するものである。イオン注入計算機能部7、エッチング計算機能部9、堆積計算機能部11、酸化計算機能部13および拡散計算機能部15には半導体装置の製造に必要なプロセスの物理モデルが組み込まれたものである。これらの機能部はシミュレーション条件入力機能部5から入力された製造プロセス条件と物理モデルを用いて各プロセスをシミュレーションする演算手段を備えている。計算結果出力機能部17はイオン注入計算機能部7、エッチング計算機能部9、堆積計算機能部11、酸化計算機能部13および拡散計算機能部15から出力されたシミュレーション結果を出力するものである。

【0017】さらにプロセスシミュレータ1は、酸化膜判断機能部19と、物理モデル選択機能部21とを備える。酸化膜判断機能部19はエッチング計算機能部9、堆積計算機能部11および酸化計算機能部13がシミュレーションする毎にシミュレーション結果を受け取り、各酸化膜の製造工程を判断するものである。物理モデル選択機能部21は酸化膜判断機能部19の判断結果に基づいて酸化膜/シリコン界面の物理モデルを選択するも

のである。そして、物理モデル選択機能部21が選択した物理モデルを用いて拡散計算機能部15が酸化膜/シリコン界面の不純物拡散をシミュレーションする。

【0018】次に、本発明の第1の実施の形態に係るプロセスシミュレータの動作を図2を用いて説明する。図2は、本発明の第1の実施の形態に係るプロセスシミュレータのシミュレーション方法の処理手順を示すフローチャートである。図2に示すように、プロセスシミュレーション(ステップ21)では製造プロセス条件に基づいてイオン注入プロセス、エッチングプロセス、堆積プロセス、酸化プロセス、拡散プロセス等の一連の製造プロセスのシミュレーションによって半導体装置の加工形状や不純物分布が求められる。酸化膜判断(ステップ22)を行なう際には、プロセスシミュレーション(ステップ21)で得られたシミュレーション結果を受け取り、各酸化膜の製造工程を随時判断する。その判断結果に基づいて酸化膜/シリコン界面の物理モデルを選択する(ステップ22)。選択された物理モデルはプロセスシミュレーション(ステップ21)の拡散シミュレーションに用いられる。

【0019】次に、具体的な例を用いて本発明の第1の実施の形態に係るプロセスシミュレータの動作を説明する。図3～図11は、半導体装置の製造工程を示す断面図である。ここでは、STI(Shallow Trench Isolation)素子分離法を用いたn型シリコンMOSFETからなる半導体装置の不純物分布を計算するプロセスシミュレータに本発明を適用した場合について説明する。

【0020】まず、図3のシリコン基板23の素子分離酸化膜を形成する領域のエッチングプロセスをシミュレーションする。そして、図4のトレンチ25の形状を求める。次に、図5の酸化膜27を形成する酸化プロセスをシミュレーションする。ここで、酸化膜27を以降の製造工程で形成される酸化膜と区別する処理が行なわれる。すなわち、酸化膜判断機能部19は酸化計算機能部13のシミュレーション結果を入力し、酸化膜27が素子分離酸化工程で形成された酸化膜であると判断する。具体的には、たとえば従来より行われているストリングモデル(stringmodel)による領域形状表現方法を用いた場合、各酸化膜の領域に対応するストリングモデルデータに対して領域名を設定し、この領域名から酸化膜を区別すればよい。なお、酸化膜27の領域に対応するストリングモデルデータに対しては文字列「STI\_O\_X」を領域名として設定したとする。

【0021】次に、図6の酸化膜29をシリコン基板23全面に形成する堆積プロセスをシミュレーションした後、CMP(Chemical Mechanical Polish)法による酸化膜29のエッチングプロセスをシミュレーションする。そして、図7の犠牲酸化膜31を形成する酸化プロセスをシミュレーションした後、p型チャネル領域を形成する硼素(B)のイオン注入プロセスをシミュレーション

ヨンする。次に、図8に示すように犠牲酸化膜31のエッチングプロセスをシミュレーションする。

【0022】次に、図9のゲート酸化膜33を形成する酸化プロセスをシミュレーションする。ここで、酸化膜27と同様に、ゲート酸化膜33を他の製造工程で形成される酸化膜と区別する処理が行なわれる。すなわち、酸化膜判断機能部19は酸化計算機能部13のシミュレーション結果を入力し、ゲート酸化膜33がゲート酸化工程で形成されたゲート酸化膜であると判断する。なお、ゲート酸化膜33の領域に対応するストリングモデルデータに対しては文字列「GATE\_OX」を領域名として設定したとする。

【0023】ここで、ゲート酸化工程ではゲート酸化膜33の酸化プロセスのシミュレーション以外にチャネル領域における不純物（ここでは硼素）の拡散プロセスも同時にシミュレーションする必要がある。特に、シリコン基板23と酸化膜27の界面およびシリコン基板23とゲート酸化膜33の界面では硼素の偏析を考慮して拡散プロセスをシミュレーションしなければならない。そのためには、各界面の物理現象を表す物理モデルが必要となる。本発明の第1の実施の形態では、酸化膜判断機能部19により素子分離酸化膜である酸化膜27とゲート酸化膜33が区別され、対象となる酸化膜／シリコン界面が酸化膜27／シリコン基板23界面であるかゲート酸化膜33／シリコン基板23界面であるかが判断される。したがって、硼素の偏析を考慮した拡散プロセスをシミュレーションする際、各界面の物理モデルを選択して行なうことが可能となる。すなわち、酸化膜／シリコン界面の不純物の偏析の物理モデルとして、酸化膜27／シリコン基板23界面には酸化膜27／シリコン基板23界面の物理モデルを用いてシミュレーションし、ゲート酸化膜33／シリコン基板23界面にはゲート酸化膜33／シリコン基板23界面の物理モデルを用いてシミュレーションすることが可能となる。

【0024】次に、図10のゲート電極35を構成する材料膜の堆積プロセス、その材料膜をパターニングするエッチングプロセス、図10のゲート電極保護酸化膜37を形成する酸化プロセスおよび図10のソース／ドレインn型領域39を構成する不純物（ここでは硼素）のイオン注入プロセスを順次シミュレーションする。そして、ソース／ドレインn型領域を構成する硼素を活性化する拡散プロセスをシミュレーションする。この拡散プロセスでは硼素の活性化以外に不純物（ここではp型チャネル領域を構成する硼素、ソース／ドレインn型領域を構成する硼素）の拡散をシミュレーションする必要がある。

【0025】ここで、イオン注入後の不純物拡散はイオン注入でシリコン基板23中に発生した点欠陥（格子間Si原子：Interstitial Si、空孔：Vacancy）に大きく影響を受けることが知られている。点欠陥はシリコン基

板23中において不純物原子と相互作用しながらソース／ドレインからチャネル領域に拡散していく。その結果、チャネル領域の不純物の拡散を増速させる。また、点欠陥は酸化膜／シリコン界面で再結合により消滅することも知られている。さらに、この再結合の速度は酸化膜／シリコン界面を構成する酸化膜の種類によって異なっている。したがって、シリコン基板23と酸化膜27の界面およびシリコン基板23とゲート酸化膜33の界面では点欠陥を考慮して不純物の拡散をシミュレーションしなければならない。そのため、各界面における点欠陥の再結合についての物理モデルが必要となる。本発明の第1の実施の形態では、酸化膜判断機能部19により素子分離酸化膜である酸化膜27とゲート酸化膜33が区別され、対象となる酸化膜／シリコン界面が酸化膜27／シリコン基板23界面であるかゲート酸化膜33／シリコン基板23界面であるかが判断される。したがって、点欠陥の再結合を考慮した拡散プロセスをシミュレーションする際、各界面の点欠陥の再結合についての物理モデルを選択して行なうことが可能となる。すなわち、酸化膜／シリコン界面の点欠陥の再結合の物理モデルとして、酸化膜27／シリコン基板23界面には酸化膜27／シリコン基板23界面の物理モデルを用いてシミュレーションし、ゲート酸化膜33／シリコン基板23界面にはゲート酸化膜33／シリコン基板23界面の物理モデルを用いてシミュレーションすることが可能となる。

【0026】以降、図11の層間絶縁膜41の形成、コントクト孔（図示省略）の形成、配線（ソース電極配線43a、ゲート電極配線43b、ドレイン電極配線43c）の形成等をシミュレーションし、n型シリコンMOSFETからなる半導体装置の形状と不純物分布を求める。

【0027】以上説明したように、本発明の第1の実施の形態によれば、酸化膜／シリコン界面の性質に応じてその界面での物理現象を表す最適な物理モデルを選択して不純物の拡散プロセスをシミュレーションすることが可能となる。それにより、酸化膜／シリコン界面を考慮した不純物拡散のシミュレーション精度を向上できる。

【0028】（第2の実施の形態）次に、本発明の第2の実施の形態について説明する。図12は、本発明の第2の実施の形態に係るデバイスシミュレータを示すブロック図である。デバイスシミュレータ45は、制御機能部47と、シミュレーション条件機能部49と、素子構造入力部51と、電気特性評価部53と、計算結果出力機能部55とを備えて構成される。制御機能部47はシミュレーション条件入力機能部49や素子構造入力機能部51等の各機能部を制御しデバイスシミュレータ45全体の制御を行なうものである。シミュレーション条件入力機能部49は決められたフォーマットに従って記述された半導体装置の電圧条件等を入力するものである。

素子構造入力機能部51は半導体装置の形状を入力するものである。半導体装置の形状データは第1の実施の形態のプロセスシミュレータによって算出された形状データを入力してもよいし、デバイスシミュレータ45の利用者が直接入力してもよい。電気特性評価機能部53はシミュレーション条件入力機能部49から入力された電圧条件等と素子構造入力機能部51から入力された半導体装置の形状データとを用いて半導体装置の電気的特性をシミュレーションするものである。計算結果出力機能部55は電気特性評価機能部53から出力されたシミュレーション結果を出力するものである。

【0029】さらに、デバイスシミュレータ45は、酸化膜判断機能部57と、移動度モデル選択機能部59と、移動度算出機能部61を備える。酸化膜判断機能部57は素子構造入力機能部51が入力した半導体装置の形状データを受け取り、各酸化膜の種類を判断するものである。移動度モデル選択機能部59は酸化膜判断機能部57の判断結果に基づいて移動度の物理モデルを選択するものである。移動度算出機能部61は移動度モデル選択機能部59が選択した物理モデルを用いて移動度を求めるものである。そして、移動度算出機能部61が求めた移動度を用いて電気特性評価機能部53が半導体装置の電気的特性をシミュレーションする。

【0030】次に、本発明の第2の実施の形態に係るデバイスシミュレータの動作を図13を用いて説明する。図13は、本発明の第2の実施の形態に係るデバイスシミュレータのシミュレーション方法の処理手順を示すフローチャートである。図13に示すように、デバイスシミュレーション（ステップ131）では半導体装置の形状データと電圧条件等に基づいて半導体装置の電流－電圧特性、インピーダンス特性、高周波特性等の電気的特性が求められる。酸化膜判断（ステップ132）を行なう際には、半導体装置の形状データを受け取り、各酸化膜の種類を判断する。その判断結果に基づいて移動度モデルを選択する（ステップ133）。そして、選択された物理モデルを用いて対象の酸化膜／シリコン界面における移動度を求める。その移動度はデバイスシミュレーション（ステップ131）に入力され、正確な移動度に基づいて半導体装置の電気的特性評価が行なわれる。

【0031】次に、具体的な例を用いて本発明の第2の実施の形態に係るデバイスシミュレータの動作を説明する。図14～図16は、半導体装置の断面図である。ここでは、SOI（Silicon On Insulator）基板上のn型MOSFETからなる半導体装置の電気的特性を計算するデバイスシミュレータに本発明を適用した場合について説明する。

【0032】図14に示すように、この半導体装置を構成する酸化膜として埋め込み酸化膜65とゲート酸化膜71がある。この二つの酸化膜はそれぞれ異なる製造工程で形成されるため、各酸化膜とSOI層81との間の

界面状態は全く異なるものになる。たとえば酸化膜／シリコン界面の原子レベルでの凹凸（Surface Roughness）等が違えば、伝導電荷である電子の移動度は大きく変化する。図14の半導体装置のゲート電極配線75bに正の電圧を印加すれば、図15に示すように、電子の反転層83はSOI層81とゲート酸化膜71の界面に形成される。この場合、この電子の移動度モデルにはSOI層81／ゲート酸化膜71界面の移動度モデルを利用しなければシミュレーションの精度を向上できない。また、図14の半導体装置のゲート電極配線75bに負の電圧を印加すれば、図16に示すように、電子の反転層85はSOI層81と埋め込み酸化膜65の界面に形成される。この場合、この電子の移動度モデルにはSOI層81／埋め込み酸化膜65界面の移動度モデルを利用しなければやはりシミュレーションの精度を向上できない。

【0033】本発明の第2の実施の形態では、素子構造入力機能部51が半導体装置の形状データと共に半導体装置を構成する酸化膜の種類を示す酸化膜データも同時に入力する。そして、酸化膜判断機能部57により埋め込み酸化膜65とゲート酸化膜71を区別し、対象となる酸化膜／シリコン界面が埋め込み酸化膜65／SOI層81界面であるかゲート酸化膜71／SOI層81界面であるかが判断される。したがって、酸化膜／シリコン界面の移動を表す物理モデルとして、埋め込み酸化膜65／SOI層81界面には埋め込み酸化膜65／SOI層81界面の移動度モデルを用いてシミュレーションし、ゲート酸化膜71／SOI層81界面にはゲート酸化膜71／SOI層81界面の移動度モデルを用いてシミュレーションすることが可能となる。酸化膜の区別は、たとえば従来のストリングモデル（string model）による領域形状表現方法を用いた場合、各酸化膜の領域に対応するストリングモデルデータに対して領域名を設定し、この領域名を基に行なえばよい。ここでは、埋め込み酸化膜65の領域に対応するストリングモデルデータに対しては文字列「BURIED\_OX」を領域名として設定し、ゲート酸化膜71の領域に対するストリングモデルに対しては文字列「GATE\_OX」を領域名として設定する。酸化膜判断機能部57はこの領域名を参照することで酸化膜の種類を判断できる。

【0034】以上説明したように、本発明の第2の実施の形態によれば、酸化膜／シリコン界面の性質に応じてその界面での正確な移動度を表す最適な物理モデルを選択して半導体装置の電気的特性をシミュレーションすることが可能となる。それにより、酸化膜／シリコン界面を考慮した半導体装置の電気的特性のシミュレーション精度を向上できる。

【0035】（その他の実施の形態）上記のように、本発明は第1および第2の実施の形態によって記載したが、この開示の一部をなす論述および図面はこの発明を

限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。

【0036】たとえば、第1および第2の実施の形態においては、酸化膜／シリコン界面の物理モデルの高精度化を目的としたが、他の界面の物理モデルに適用してももちろん構わない。その場合には、その界面を構成する膜を区別できるようにすればよい。

【0037】また、第2の実施の形態では対象とする物理モデルは移動度であったが、この場合も他の物理モデルを対象としてもよい。

【0038】このように、本発明はここでは記載していない様々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲に係る発明特定事項によってのみ限定されるものである。

【0039】

【発明の効果】本発明によれば、半導体装置の内部の界面の物理モデルを高精度化することで、プロセスシミュレーションおよびデバイスシミュレーションの精度を向上できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るプロセスシミュレータを示すブロック図である。

【図2】本発明の第1の実施の形態に係るプロセスシミュレータのシミュレーション方法の処理手順を示すフローチャートである。

【図3】STI素子分離法を用いたn型シリコンMOSFETからなる半導体装置の製造工程を示す断面図である。

【図4】STI素子分離法を用いたn型シリコンMOSFETからなる半導体装置の製造工程を示す断面図である。

【図5】STI素子分離法を用いたn型シリコンMOSFETからなる半導体装置の製造工程を示す断面図である。

【図6】STI素子分離法を用いたn型シリコンMOSFETからなる半導体装置の製造工程を示す断面図である。

【図7】STI素子分離法を用いたn型シリコンMOSFETからなる半導体装置の製造工程を示す断面図である。

【図8】STI素子分離法を用いたn型シリコンMOSFETからなる半導体装置の製造工程を示す断面図である。

【図9】STI素子分離法を用いたn型シリコンMOSFETからなる半導体装置の製造工程を示す断面図である。

【図10】STI素子分離法を用いたn型シリコンMOSFETからなる半導体装置の製造工程を示す断面図である。

ある。

【図11】STI素子分離法を用いたn型シリコンMOSFETからなる半導体装置の製造工程を示す断面図である。

【図12】本発明の第2の実施の形態に係るデバイスシミュレータを示すブロック図である。

【図13】本発明の第2の実施の形態に係るデバイスシミュレータのシミュレーション方法の処理手順を示すフローチャートである。

【図14】SOI基板上のn型MOSFETからなる半導体装置の断面図である。

【図15】SOI基板上のn型MOSFETからなる半導体装置の断面図である。

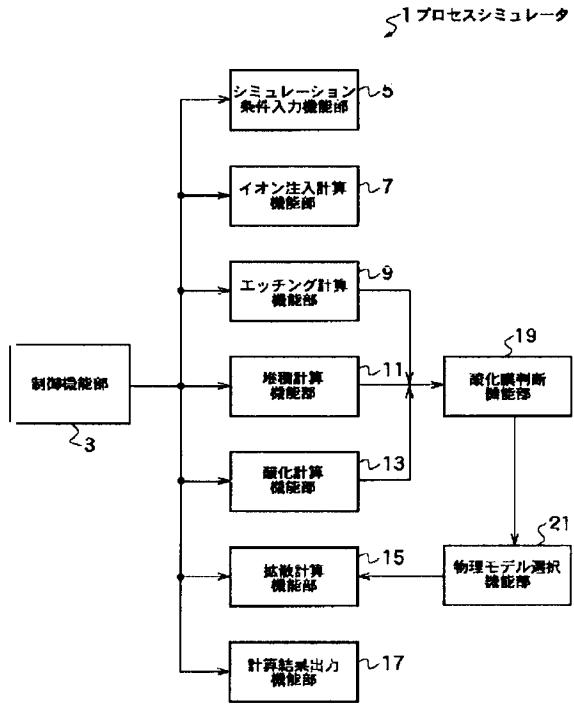
【図16】SOI基板上のn型MOSFETからなる半導体装置の断面図である。

#### 【符号の説明】

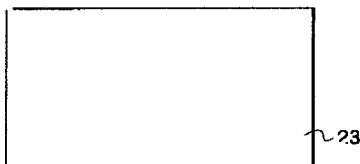
- 1 プロセスシミュレータ
- 3、4 7 制御機能部
- 5、4 9 シミュレーション条件入力機能部
- 7 イオン注入計算機能部
- 9 エッティング計算機能部
- 1 1 堆積計算機能部
- 1 3 酸化計算機能部
- 1 5 拡散計算機能部
- 1 7、5 5 計算結果出力機能部
- 1 9、5 7 酸化膜判断機能部
- 2 1 物理モデル選択機能部
- 2 3、6 3 シリコン基板
- 2 5 トレンチ
- 2 7、2 9 酸化膜
- 3 1 犯性酸化膜
- 3 3、7 1 ゲート酸化膜
- 3 5、7 3 ゲート電極
- 3 7 ゲート電極保護酸化膜
- 3 9、6 7 ソース／ドレインn型領域
- 4 1、7 7 層間酸化膜
- 4 3 a、7 5 a ソース電極配線
- 4 3 b、7 5 b ゲート電極配線
- 4 3 c、7 5 c ドレイン電極配線
- 4 5 デバイスシミュレータ
- 5 1 素子構造入力機能部
- 5 3 電気特性評価機能部
- 5 9 移動度モデル選択機能部
- 6 1 移動度算出機能部
- 6 5 埋め込み酸化膜
- 6 9 チャネル領域
- 7 9 基板電極
- 8 1 SOI層
- 8 3 ゲート電極に正の電圧を印加した場合に形成される電子の反転層

85 ゲート電極に負の電圧を印加した場合に形成される電子の反転層

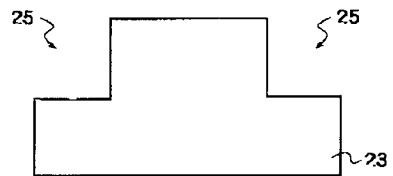
【図1】



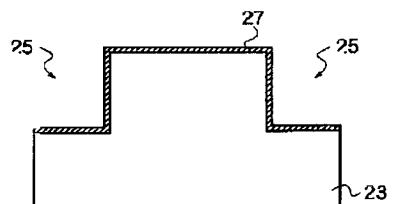
【図3】



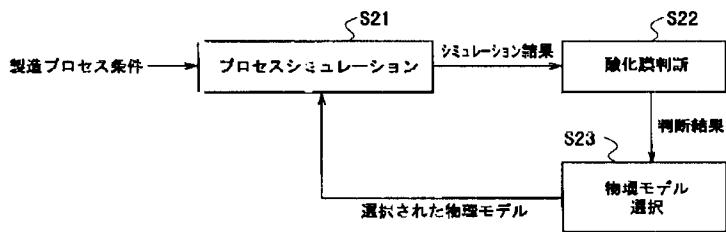
【図4】



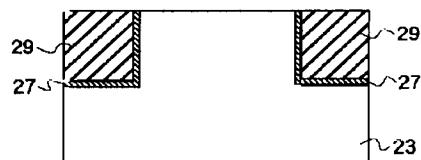
【図5】



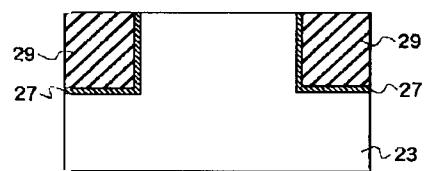
【図2】



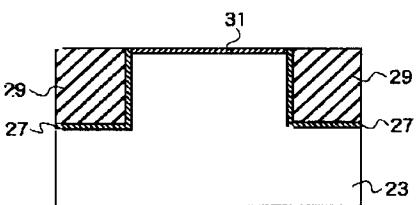
【図8】



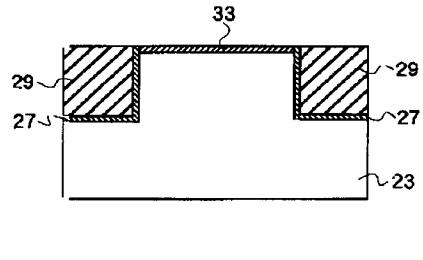
【図6】



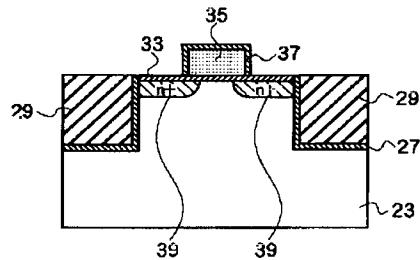
【図7】



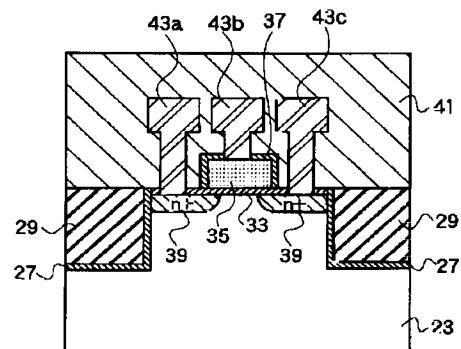
【図9】



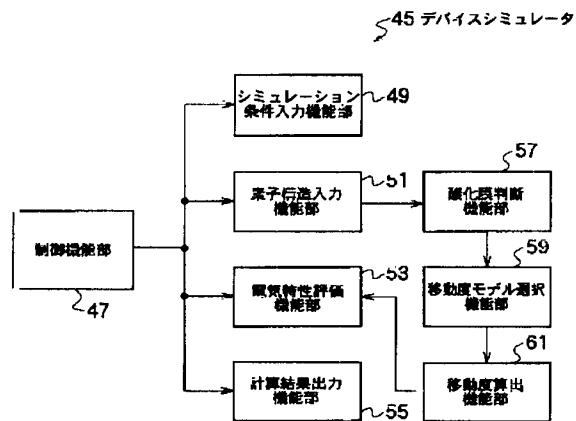
【図10】



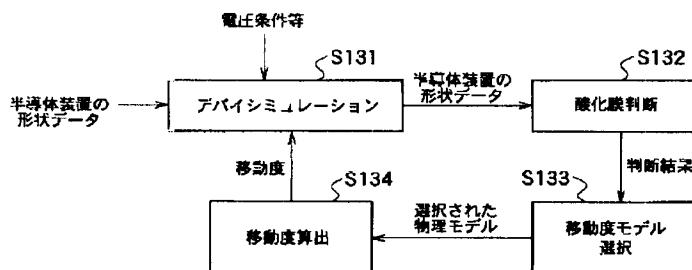
【図11】



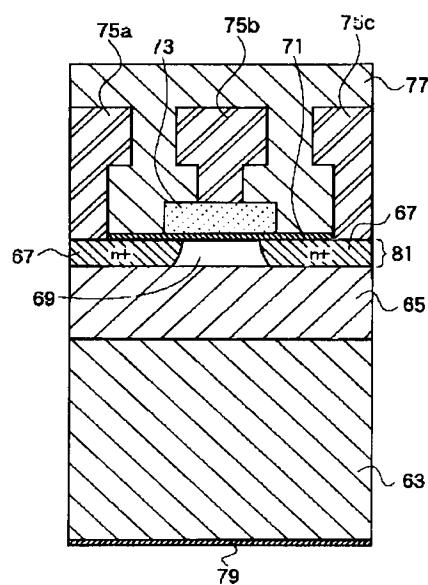
【図12】



【図13】

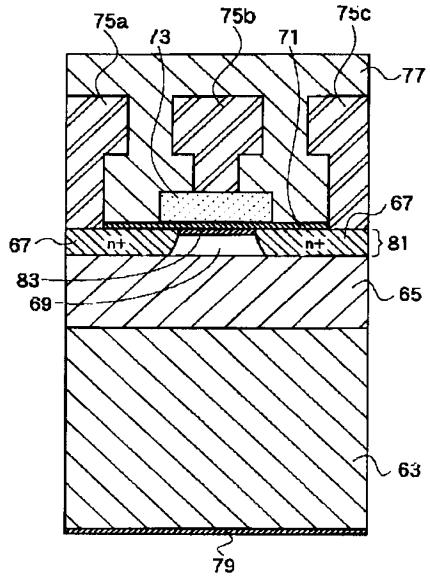


【図14】



(特 0 ) 00-269105 (P 2000-269105A)

【図15】



【図16】

